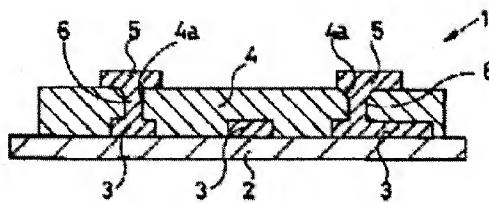


PRODUCTION OF THICK FILM CIRCUIT BOARD

Patent number: JP7202420
Publication date: 1995-08-04
Inventor: TSUKIJI RIKI; IRUMAGAWA YUTAKA; OSHIKAWA HIROTOSHI
Applicant: KYOCERA CORP
Classification:
- **international:** H05K3/40; H05K3/46; H05K3/40; H05K3/46; (IPC1-7):
H05K3/40; H05K3/46
- **european:**
Application number: JP19930335029 19931228
Priority number(s): JP19930335029 19931228

[Report a data error here](#)**Abstract of JP7202420**

PURPOSE: To eliminate insufficient conduction of conductors by forming a coupling conductor part on a first conductor wiring and then forming an insulating layer on an insulating board such that the coupling conductor part is fitted in a through hole. **CONSTITUTION:** An insulating board 2 is coated with copper paste for forming a lower conductor wiring 3 on which screen printing is repeated for a plurality of times thus forming a copper paste for a via hole conductor 6. The via hole conductors 6 are formed at a plurality of positions matching the positions of through holes 4a made through an insulation layer 4 upon completion. The insulating board 2 is further coated with a dielectric paste forming the insulation layer 4. The insulating board 2 is placed in a drying furnace and the insulation layer 4 is coated with a copper paste for forming an upper conductor wiring after drying. In this regard, the upper conductor wiring 5 is connected with the via hole conductor 6 through the through hole 4. Finally, the insulating board 2 is fired in a nonoxidative atmosphere thus completing a thick film circuit board 1.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-202420

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl.⁶

H 05 K 3/40
3/46

識別記号 庁内整理番号
B 7511-4E
C 6921-4E
N 6921-4E

F I

技術表示箇所

(21)出願番号 特願平5-335029

(22)出願日 平成5年(1993)12月28日

審査請求 未請求 請求項の数1 O.L (全4頁)

(71)出願人 000006633

京セラ株式会社
京都府京都市山科区東野北井ノ上町5番地
の22

(72)発明者 築地 理香

鹿児島県国分市山下町1-1 京セラ株式
会社鹿児島分工場内

(72)発明者 入間川 裕

鹿児島県国分市山下町1-1 京セラ株式
会社鹿児島分工場内

(72)発明者 押川 宏敏

鹿児島県国分市山下町1-1 京セラ株式
会社鹿児島分工場内

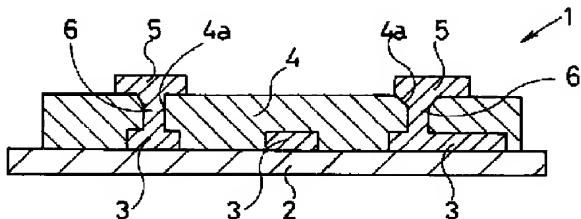
(74)代理人 弁理士 小野 由己男 (外1名)

(54)【発明の名称】 厚膜回路基板の製造方法

(57)【要約】

【目的】導体間の導通不良を減らす。

【構成】厚膜回路基板1の製造方法は、絶縁基板2の上面に下部導体配線3を形成する工程と、下部導体配線3上において所定位置にピアホール導体6を形成する工程と、ピアホール導体6が貫通孔4aに嵌合するように、絶縁層4を絶縁基板2の上面に形成する工程と、貫通孔4aを通じてピアホール導体6に接続されるように絶縁層4上に上部導体配線5を形成する工程とを含んでいる。



1

2

【特許請求の範囲】

【請求項1】 絶縁基板と、前記絶縁基板の一面に形成された第1導体配線と、前記第1導体配線を覆うように前記絶縁基板の前記一面上に形成されかつ所定位置に貫通孔を有する絶縁層と、前記絶縁層上に形成されかつ前記貫通孔を通じて前記導体配線に接続された第2導体配線とを備えた厚膜回路基板の製造方法であって、

前記絶縁基板の前記一面に前記第1導体配線を形成する第1導体配線形成工程と、

前記第1導体配線上において前記所定位置に連結導体部を形成する連結導体部形成工程と、

前記連結導体部が前記貫通孔に嵌合するように、前記絶縁層を前記絶縁基板の前記一面上に形成する絶縁層形成工程と、

前記貫通孔を通じて前記連結導体部に接続されるよう前記絶縁層上に前記第2導体配線を形成する第2導体配線形成工程と、を含む厚膜回路基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、厚膜回路基板の製造方法、特に、絶縁層に形成された貫通孔を通じて連結される第1及び第2導体配線を備えた厚膜回路基板の製造方法に関する。

【0002】

【従来の技術】 電子部品が搭載される厚膜回路基板は、近年においては高密度化が要求されており、多層化が進んでいる。多層化された厚膜回路基板は、たとえば、絶縁基板と、絶縁基板の一面に形成された下部導体配線と、下部導体配線を覆うように絶縁基板の一面上に形成された絶縁層と、絶縁層上に形成された第2導体配線とを備えている。絶縁層には、直径300～700μmの貫通孔が形成されており、その貫通孔内に下部導体配線と上部導体配線とを接続するピアホール導体が形成されている。

【0003】 前記厚膜回路基板を形成するには、始めに絶縁基板上に下部導体配線となる銅ペーストを塗布する。続いて、絶縁層となるペーストを絶縁基板上に塗布する。このとき、絶縁層には所定位置に貫通孔が形成される。さらに100～150℃で絶縁層を乾燥し、900℃で焼成する。次に、ピアホール導体を印刷・焼成し、上部導体配線となる銅ペーストを絶縁層上に塗布する。このとき、上部導体配線は絶縁層に形成された貫通孔を通じて第1導体配線に接続される。基板全体を約900℃の高温で焼成する。

【0004】

【発明が解決しようとする課題】 前記従来の厚膜回路基板の製造方法では、絶縁層になるペースト材料を塗布した後に、乾燥前のペースト材料が貫通孔の内側にたれて貫通孔を塞いでしまうことがある。この場合は、上部導体と下部導体との間の導通不良が生じる。本発明の目的

10

20

30

40

50

は、導体間の導通不良を減らすことにある。

【0005】

【課題を解決するための手段】 本発明に係る厚膜回路基板の製造方法は、絶縁基板と、絶縁基板の一面に形成された第1導体配線と、第1導体配線を覆うように絶縁基板の一面上に形成されかつ所定位置に貫通孔を有する絶縁層と、絶縁層上に形成されかつ貫通孔を通じて第1導体配線に接続された第2導体配線とを備えた厚膜回路基板の製造方法である。この製造方法は、第1導体配線形成工程と連結導体部形成工程と絶縁層形成工程と第2導体配線形成工程とを含んでいる。

【0006】 第1導体配線形成工程は、絶縁基板の前記一面に第1導体配線を形成する。連結導体部形成工程は、第1導体配線上において前記所定位置に連結導体部を形成する。絶縁層形成工程は、連結導体部が貫通孔に嵌合するように、絶縁層を絶縁基板の前記一面上に形成する。第2導体配線形成工程は、貫通孔を通じて連結導体部に接続されるよう絶縁層上に第2導体配線を形成する。

【0007】

【作用】 本発明に係る厚膜回路基板の製造方法では、連結導体部を絶縁層より先に第1導体配線上に形成し、絶縁層を連結導体部が貫通孔に嵌合するように絶縁基板上に形成する。したがって、連結導体部が遮断されるのを防止でき、第1導体配線と第2導体配線との導通不良が減る。

【0008】

【実施例】 図1に示す厚膜回路基板1は電子部品が搭載されるものであり、絶縁基板2と、絶縁基板2の上面に形成された下部導体配線3と、絶縁基板2の上面において下部導体配線3を覆うように形成された絶縁層4と、絶縁層4上に形成された上部導体配線5とから形成されている。絶縁層4の複数の所定位置には、貫通孔4a(径300～500μm)が形成されており、貫通孔4a内に充填されたピアホール導体6が下部導体配線3と上部導体配線5とを接続している。なお、貫通孔4aの径は、上方にいくにしたがって大きくなっている。

【0009】 なお、絶縁基板2は、たとえばアルミナ、A1N、ムライト等からなる矩形状の基板である。下部導体配線3、上部導体配線5及びピアホール導体6は、銅ペースト(たとえばデュポン社製のD P 9153)を焼成して形成されている。また、絶縁層4は、ペースト材料(たとえば旭硝子社製の誘電体ペーストA P 5815)を乾燥して得られる。

【0010】 次に、厚膜回路基板1の製造方法について説明する。始めに、図2に示すように、たとえばアルミナ、A1N、ムライト等から構成され絶縁基板2を用意する。次に、図3に示すように、絶縁基板2上に、スクリーン印刷によって下部導体配線3となる銅ペーストを塗布する。そして、図4に示すように、下部導体配線3

3

上に、スクリーン印刷を複数回行うことにより、ピアホール導体6となる銅ペースト（径300～500μm）を形成する。ピアホール導体6の位置は、完成時に絶縁層4の貫通孔4aが形成される位置に一致して複数形成されている。各ピアホール導体6は図の上方向に伸びている。

【0011】さらに、図5に示すように、絶縁層4となる絶縁体ペーストをスクリーン印刷によって絶縁基板2の上面に塗布する。絶縁体ペーストの塗布は複数回にわたって行われ、図6に示すように、下部導体配線3上には第1層4A、第2層4B及び第3層4Cが形成されている。絶縁層4は下部導体配線3を覆っているが、ピアホール導体6に対応する位置に貫通孔4aが形成されており、貫通孔4a内にピアホール導体6が嵌合する。

【0012】以上に説明したように、ピアホール導体6が絶縁層4より先に形成されているので、たとえペースト材料が貫通孔4aの内側にたれ下がってきてても貫通孔4aを塞ぎにくい。さらに、貫通孔4aの径は、上方の層にしたがって大きくなるように設定されているので、貫通孔4aの上部が内側に垂れ下がりにくくなっている。

【0013】次に、絶縁基板2を乾燥炉の中に入れ、100～150℃で絶縁層4を乾燥する。乾燥後の絶縁層4上に、上部導体配線5となる銅ペーストをスクリーン印刷によって塗布する。このとき、上部導体配線5は、貫通孔4aを通じてピアホール導体6に接続される。ここでは、貫通孔4aはペースト材料のたれによって塞がれていないので、上部導体配線5と下部導体配線3との導通不良が減る。

【0014】最後に、絶縁基板2を非酸化性雰囲気中で約900℃の高温で焼成する。これにより、厚膜回路基

10

4

板1が完成する。

【実験例】厚膜回路基板を従来の製造方法と本発明による製造方法とでそれぞれ製造し、両者の導体不良率を比較した。この実験では、径が300μmのピアホール導体を下部導体配線上に100ヶ所形成した。導通の有無は絶縁抵抗計で計測し、10⁹Ω以上が導通良好であるとした。従来製造方法では導通不良率は6%であり、本発明による製造方法では導通不良率は0%になった。

【他の実施例】なお、前記実施例では絶縁層4は3層に形成されているが、本発明は4層以上でも採用できる。

【0015】

【発明の効果】本発明に係る厚膜回路基板の製造方法では、連結導体部を絶縁層より先に第1導体配線上に形成するので、連結導体部が遮断されにくくなり、第1導体配線と第2導体配線との導通不良が減る。

【図面の簡単な説明】

【図1】本発明の一実施例により製造された厚膜回路基板の縦断面概略図。

【図2】厚膜回路基板の製造工程の一段階を示す図。

【図3】厚膜回路基板の製造工程の一段階を示す図。

【図4】厚膜回路基板の製造工程の一段階を示す図。

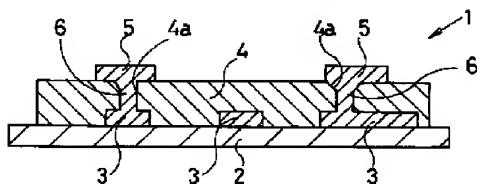
【図5】厚膜回路基板の製造工程の一段階を示す図。

【図6】厚膜回路基板の製造工程の一段階を示す図。

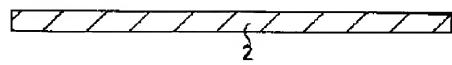
【符号の説明】

- 1 厚膜回路基板
- 2 絶縁基板
- 3 下部導体配線
- 4 絶縁層
- 4a 貫通孔
- 5 上部導体配線
- 6 ピアホール導体

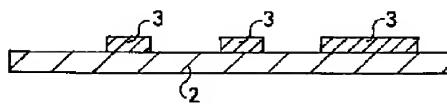
【図1】



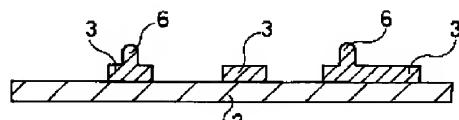
【図2】



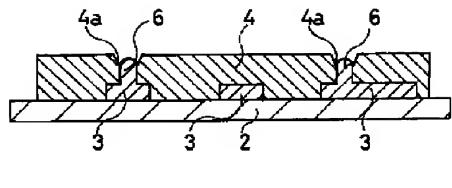
【図3】



【図4】



【図5】



【図6】

